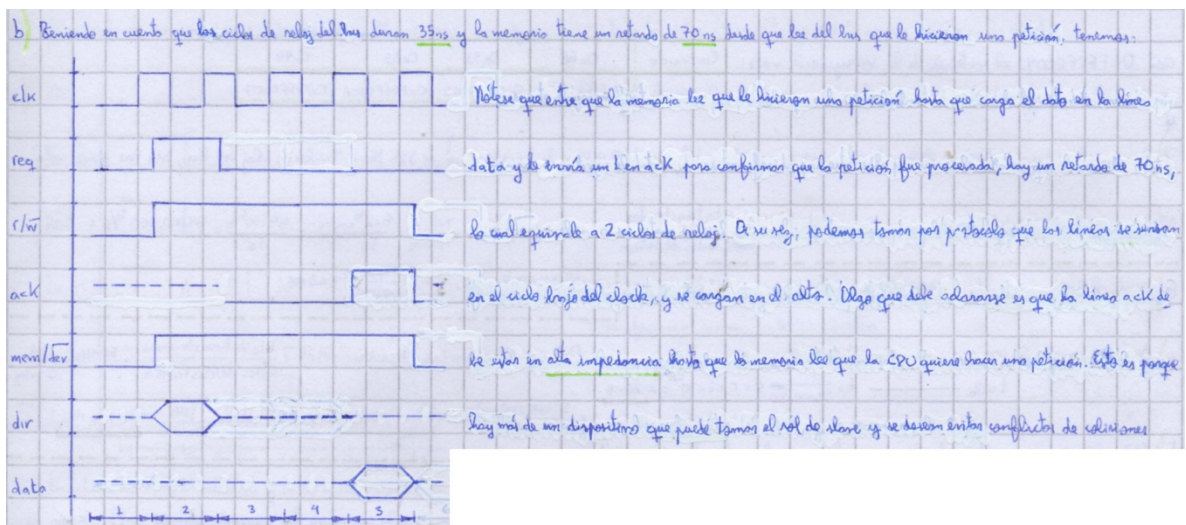


Ejercicio 5a:

5a) El bus estará conformado por los siguientes líneas dedicadas: la control tenemos req (para que la CPU haga una petición), clk (para el bus en sí mismo), ack (para que la CPU sepa que la petición fue recibida y procesada), r/w (para que la CPU indique si la operación es de lectura o escritura), mem/dev (para que la CPU distinga si se desea comunicar con la memoria, o uno de los dispositivos de E/S). Para los datos tendremos la línea dedicada dato de ancho 32b (una palabra) y otra dir para direcciones de memoria.

Siendo que el espacio direccionable es 16B para direcciones de memoria, y la unidad direccionable es de 32b, luego se necesitan $\log_2 \left(\frac{16B}{32b} \cdot 8 \cdot 2^{30} \right) = \log_2 \left(\frac{2^{33}}{2^5} \right) = \log_2 (2^{28}) = 28 \text{ bits}$ para distinguir los cables de memoria; siendo que el espacio de direcciones para los dispositivos es de 1MB = $2^3 \cdot 2^{20} \text{ b} = 2^{23} \text{ b}$, como no caben en el espacio que ocupan sus registros, tomaremos que deben ser de mínimo 1b, por lo que se necesitan al menos $\log_2 \left(\frac{2^{23}}{1b} \right) = 23 \text{ bits}$ para distinguílos. Usaremos 28b para ello (que danó direcciones de dispositivos sin usar) para que sean consistentes con los de memoria, quedando la línea dedicada dir de ancho de 28b.

Ejercicio 5b:



Las colisiones hacen alagado a cuando se conectan dos dispositivos que simultáneamente emiten señales de bits. Siendo que un nivel es 0 o 1 tomado eléctricamente como el potencial eléctrico o diferencia de tensión con respecto a su punto tierra (0V), estos pueden diferir en dicho punto tomado como referencia, y de ahí la entrada 0 de una señal puede interpretarse como un 1 en un dispositivo y viceversa, produciendo un resultado indeseado. Esto se arregla desconectando aquel dispositivo no tomado en cuenta en una instancia a bases de computadores de 32 bits o multiplexores.